
(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication number: 100268919 B1
(43) Date of publication of application: 18.07.2000

(21) Application number: 1019970023900

(71) Applicant:

HYUNDAI MICRO
ELECTRONICS CO., LTD.
CHO, WON CHEOL

(22) Date of filing: 10.06.1997

(72) Inventor:

(51) Int. Cl H01L 27/108

(54) DRAM OF SEMICONDUCTOR MEMORY DEVICE

(57) Abstract:

PURPOSE: A DRAM of a semiconductor memory device is provided to increase a capacitance of a capacitor by minimizing an optical proximity effect during a photo process using a storage mask.

CONSTITUTION: After defining a minimum region(40) where a plurality of capacitors are formed to have a certain width(W) and length(L) on a semiconductor substrate, transistors comprising a gate electrode and a source/drain region are formed corresponding to the capacitors one to one. And, after forming a planarization insulation film having a contact hole(42) on a source region of each transistor, the first bottom electrodes(41) of the plurality of capacitors are formed to have a fixed width(X) and a fixed length (a) on the minimum region. Even lines and odd lines of the bottom electrodes are formed to cross each other.

COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (20000616)

Patent registration number (1002689190000)

Date of registration (20000718)

특 1999-000799

(49) 대한민국특허청 (KR)
 (12) 공개특허공보(A)

(51) Int. Cl. H01L 27/108	(11) 공개번호 특 1999-000799 (43) 공개일자 1999년 01월 15일
(21) 출원번호 특 1997-023900	
(22) 출원일자 1997년 06월 10일	
(71) 출원인 엘지반도체 주식회사 문정환 충청북도 청주시 흥덕구 향정동 1번지 조원철	
(72) 발명자 서울특별시 광진구 화양동 33-47 강용복, 김용인	
(74) 대리인	

설명과 그림
(54) 반도체 메모리 소자의 디램

요약

본 발명은 반도체 메모리 소자의 커패시터에 관한 것으로, 특히, 스토리지 노드 마스크를 이용하여 커패시터의 용량을 증가시키는데 적당하도록 한 반도체 메모리 소자의 커패시터에 관한 것으로, 반도체 기판에 일정폭과 일정길이를 갖도록 복수개의 커패시터가 형성될 최소 영역을 정의한 후, 상기 커패시터가 형성될 최소 영역에 서로 연결되도록 형성되는 복수개의 스토리지 노드와, 상기 스토리지 노드의 한측에 형성되는 흰색줄을 포함하여 구성된 특징으로 한다.

도면

도4

설명

도면의 간단한 설명

- 도 1은 일반적인 실린더 형태의 커패시터를 나타낸 도면
- 도 2는 일반적인 스토리지 노드 마스크를 보여주는 도면
- 도 3은 증대의 커패시터 셀을 나타낸 레이아웃도
- 도 4은 본 발명의 제 1 실시예를 나타낸 레이아웃도
- 도 5는 본 발명의 제 2 실시예를 나타난 레이아웃도

* 도면의 주요부분에 대한 부호의 설명 *

- | | |
|---------------------|---------------------|
| 40 : 커패시터가 형성될 최소영역 | 41 : 커패시터의 제 1 하부전극 |
| 42 : 콘택홀 | |

발명의 상세한 설명

발명의 목적

본 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 소자의 커패시터에 관한 것으로, 특히, 스토리지 노드 패턴 형성을 마스크를 쉬프트(Shift) 시키거나 블리트(Blit) 시켜 커패시터의 용량을 증가시키는데 적당하도록 한 반도체 메모리 디램(DRAM)에 관한 것이다.

일반적으로 반도체 메모리 소자의 고집적화가 진행되어 갈수 따라 대용량의 커패시터가 요구되게 되었고, 이에 따라 커패시터 유효면적을 증대시키거나 또는 커패시터의 유전체막의 두께를 얕게하거나 유전상수가 높은 유전체막을 개발하는 등 여러 각도에서 많은 연구가 진행되어 왔다.

커패시터의 유효면적을 증대시키기 위한 노력은 3차원 구조의 커패시터를 제안하기에 이르렀는데, 이러한 3차원 구조에는 핀(Fin)구조, 원통형 구조, 트랜치 구조 등 여러 가지가 있다.

이하, 첨부된 도면을 참조하여 증대의 반도체 메모리 소자의 디램에 대하여 설명하면 다음과 같다.

도 1은 일반적인 실린더 형태의 커패시터를 나타낸 도면이고, 도 2a~d는 일반적인 스토리지 노드 마스크를 보여주는 도면이다.

도 1에 도시한 바와같이 실린더 형태의 커팘시터는 반도체 기판(도면에 도시하지 않았음)상에 콘택홀을 갖고 형성되는 평탄화용 절연층(1)과, 상기 콘택홀 축면에 형성되는 절연층 축벽(2)과, 상기 콘택홀 내면 및 상기 평탄화용 절연층(1)상의 일정영역에 형성되는 커팘시터의 제 1 하부전극(3a)과, 상기 커팘시터의 제 1 하부전극(3a) 축면에 상기 커팘시터의 제 1 하부전극(3a)과 연결되고 커팘시터의 제 1 하부전극(3a) 보다 높이가 높도록 상기 평탄화용 절연층(1)상에 커팘시터의 제 2 하부전극(3b)이 형성된다.

도 2a에 도시한 바와같이 스토리지 노드 마스크(20)는 투광기판(21)상에 스토리지 노드 영역이 정의되어 스토리지 노드의 주변부에 차광금속(22)이 형성되고, 상기 스토리지 노드 영역의 투광기판(21)에는 사각형 모양의 투광영역(23)이 형성된다. 그러나 이와같은 스토리지 노드 마스크(20)를 이용하여 커팘시터의 제 1 하부전극(3a)을 형성하기 위한 노광 및 현상공정을 진행하면 도 2b와 같이 포토레지스트 패턴(24)이 형성된다.

즉, 사각형 모양의 스토리지 노드 마스크(20)에 의해 노광 및 현상된 상기 포토레지스트 패턴(24)는 복의 간섭효과로 인해 타원형으로 형성된다. 그리고 상기 포토레지스트 패턴(24)을 마스크로 이용하므로 커팘시터의 제 1 하부전극(3a)도 타원형으로 형성된다.

따라서, 단축방향에서는 스토리지 노드 콘택과의 오버레이 마진(Overlay Margin)을 고려할 때 포토공정 시 장축보다는 단축을 마스크 임계치수에 맞추어 진행하며, 장축방향의 축소를 최소화하기 위해 PSM(Phase Shift Mask) 등을 사용해야 한다.

도 3은 증래의 커팘시터 셀을 나타낸 레이아웃도이다.

도 3에 도시한 바와같이 반도체 기판(도면에 도시하지 않았음)에 일정폭(W)과 일정길이(L)를 갖도록 복수개의 커팘시터가 형성될 최소영역(Minimum Space)(30)를 정의한 후, 도면에는 도시하지 않았지만 게이트 전극과 소오스/드레인 영역을 구비한 트랜지스터가 커팘시터에 일대일 대응되어 형성된다. 그리고 전면에 도 1과 같은 평탄화용 절연막(1)이 형성되어 각 트랜지스터의 소오스 영역에 콘택홀(31)이 형성된다. 그리고 상기 콘택홀(31)이 중집에 위치되도록 커팘시터가 형성될 최소영역(30)에 일정 폭(X)과 일정길이(a)를 갖도록 복수개의 커팘시터의 제 1 하부전극(3a)이 형성된다.

이때, 상기 커팘시터의 제 1 하부전극(3a)들은 서로 일정간격(m)을 갖도록 형성된다.

발명의 이루고자하는 기술적 과정

그러나 상기와 같은 증래의 반도체 메모리 소자의 디램에 있어서는 다음과 같은 문제점이 있었다.

스토리지 노드를 포토공정을 이용하여 형성시 타원형으로 형성되므로 스토리지 노드가 클면 클수록 근접 효과(Proximity Effect)로 인해 스토리지 노드가 축소된다.

따라서, 커팘시터의 표면적이 감소하여 커팘시터 용량이 축소된다.

본 발명은 상기와 같은 문제점을 해결하기 위하여 만족할 것으로 스토리지 마스크를 이용한 포토공정 시 빛의 근접 효과(Optical Proximity Effect)를 최소화 하여 커팘시터 용량을 증가 시키는데 적당한 반도체 메모리 소자의 디램을 제공하는데 그 목적미 있다.

발명의 구성 및 작용

살기와 같은 목적을 달성하기 위한 본 발명의 반도체 메모리 소자의 디램은 반도체 기판에 매트릭스 형태로 형성된 게이트 전극과 소오스/드레인 영역을 구비한 복수개의 트랜지스터와, 상기 각 소오스 영역에 콘택홀을 갖고 상기 반도체 기판상에 형성된 절연막과, 상기 콘택홀 내부와 그 주변부의 절연막상에 상기 콘택홀이 결합으로 치우치도록 상기 절연막상에 형성되는 복수개의 스토리지 노드를 포함하여 구성됨을 특징으로 한다.

이하, 절부된 도면을 참조하여 본 발명의 반도체 메모리 소자의 디램에 대하여 보다 상세히 설명하면 다음과 같다.

도 4는 본 발명의 제 1 실시예를 나타낸 레이아웃도이고, 도 5는 본 발명의 제 2 실시예를 나타낸 레이아웃도이다.

도 4에 도시한 바와같이 반도체 기판(도면에 도시하지 않았음)에 일정폭(W)과 일정길이(L)를 갖도록 복수개의 커팘시터가 형성될 최소영역(Minimum Space)(40)를 정의한 후, 도면에는 도시하지 않았지만 게이트 전극과 소오스/드레인 영역을 구비한 트랜지스터가 커팘시터에 일대일 대응되어 형성된다. 그리고 전면에 상기 각 트랜지스터의 소오스 영역에 콘택홀(42)을 갖는 평탄화용 절연막이 형성된 후, 상기 콘택홀(42)이 일측으로 치우치도록 커팘시터가 형성될 최소영역(40)에 일정 폭(X)과 일정길이(a)를 갖도록 복수개의 커팘시터의 제 1 하부전극(41)이 형성된다.

여기서, 상기 커팘시터의 제 1 하부전극(41)들은 짹수열과 흘수열이 양갈리도록 형성된다. 즉, 짹수열에 형성된 커팘시터의 제 1 하부전극(41)의 콘택홀(42)이 우측으로 치우쳐 있다면, 흘수열에 형성된 커팘시터의 제 1 하부전극(41)의 콘택홀(42)은 좌측으로 치우치도록 형성된다.

이때, 상기 커팘시터의 제 1 하부전극(41)들은 서로 일정간격(m)을 갖도록 형성된다.

도 5에 도시한 바와같이 반도체 기판(도면에 도시하지 않았음)에 일정폭(W)과 일정길이(L)를 갖도록 복수개의 커팘시터가 형성될 최소영역(Minimum Space)(40)를 정의한 후, 도면에는 도시하지 않았지만 게이트 전극과 소오스/드레인 영역을 구비한 트랜지스터가 커팘시터에 일대일 대응되어 형성된다. 그리고 전면에 각 커팘시터의 소오스 영역에 콘택홀(42)을 갖는 평탄화용 절연막이 형성되고, 상기 콘택홀(42)이 중심에 위치하여 일방향으로 틸트되도록 커팘시터가 형성될 최소영역(40)에 일정 폭(X)과 일정길이(a)를 갖도록 복수개의 커팘시터의 제 1 하부전극(41)이 형성된다.

이때, 상기 커패시터의 제 1 하부전극(41)들은 서로 일정간격(m)을 갖도록 형성된다.

발명의 효과

이상에서 설명한 바와같이 본 발명의 반도체 메모리 소자의 커패시터에 있어서는 다음과 같은 효과가 있다.

특별히 다른 방법을 사용하지 않고 스토리지 노드의 레이 마웃도를 변경하여 균접효과를 최소화 시킬 수 있다.

따라서, 균접효과가 감소하므로 인해 표면적을 극대화 시킬 수 있어 커패시터의 용량을 증가 시킬 수 있다.

(5) 청구의 범위

청구항 1. 반도체 기판에 매트릭스 형태로 형성되는 게이트 전극과 소오스/드레인 영역을 구비한 복수 개의 트랜지스터와;

상기 각 소오스 영역에 콘택홀을 갖고 상기 반도체 기판상에 형성되는 절연막과;

상기 각 콘택홀 내부와 그 주변부의 절연막상에 상기 콘택홀이 일축으로 치우치도록 상기 절연막상에 형성되는 복수개의 스토리지 노드를 포함하여 구성됨을 특징으로 하는 반도체 메모리 소자의 디램.

청구항 2. 제 1 항에 있어서,

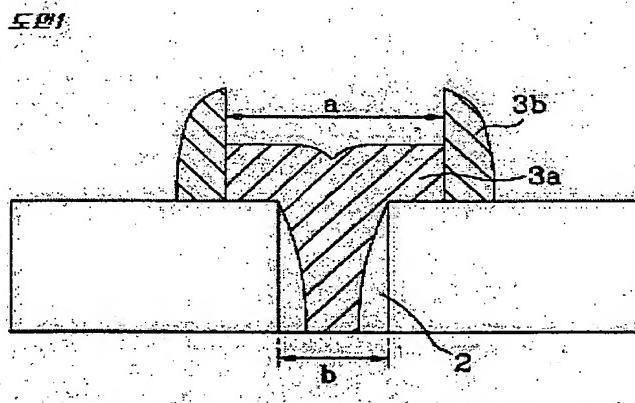
상기 스토리지 노드는 핫스얼과 홀수얼의 콘택홀이 각기 다른 방향으로 치우치도록 형성됨을 특징으로 하는 반도체 메모리 소자의 디램.

청구항 3. 반도체 기판에 매트릭스 형태로 형성되는 게이트 전극과 소오스/드레인 영역을 구비한 복수 개의 트랜지스터와;

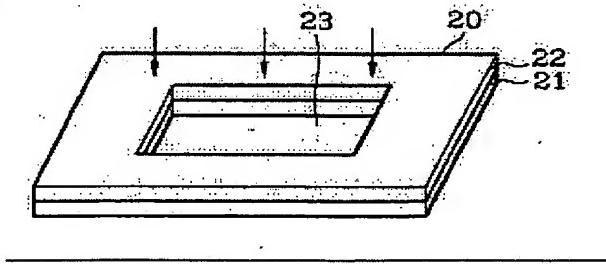
상기 각 소오스 영역에 콘택홀을 갖고 상기 반도체 기판상에 형성되는 절연막과;

상기 각 콘택홀 내부와 그 주변부의 절연막상에 상기 콘택홀이 중심에 위치하고 일방향으로 블티되도록 상기 절연막상에 형성되는 복수개의 스토리지 노드를 포함하여 구성됨을 특징으로 하는 반도체 메모리 소자의 디램.

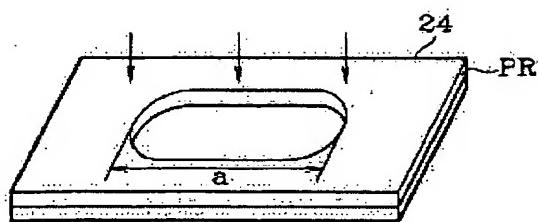
도면



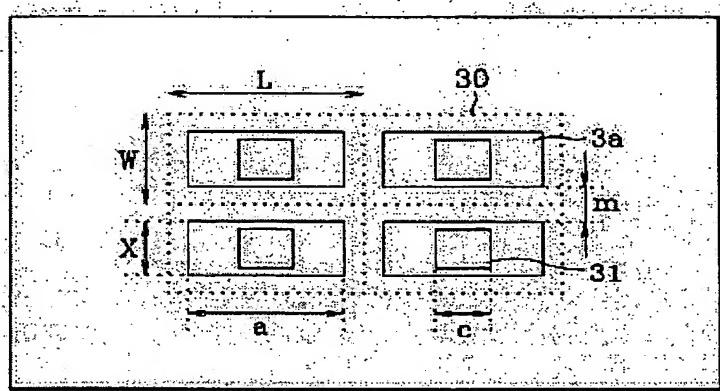
도면 1



5-22



5-23



5-24

